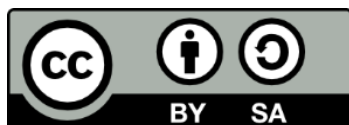


Μοντελοποίηση Λογικών Κυκλωμάτων

Ενότητα 7: Η γλώσσα VHDL, Μοντελοποίηση, διαχείριση χρόνου

Σταύρος Σουραβλάς
Τμήμα Εφαρμοσμένης Πληροφορικής



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Άδειες Χρήσης

- Το παρόν εκπαιδευτικό υλικό υπόκειται σε άδειες χρήσης Creative Commons.
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Μακεδονίας» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΕΠΙΧΕΙΡΗΣΙΑΚΟ ΠΡΟΓΡΑΜΜΑ
ΕΚΠΑΙΔΕΥΣΗ ΚΑΙ ΔΙΑ ΒΙΟΥ ΜΑΘΗΣΗ
επένδυση στην κοινωνία της γνώσης
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΣΠΑ
2007-2013
πρόγραμμα για την ανάπτυξη
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ

Η ΓΛΩΣΣΑ VHDL

- Οντότητες-Αρχιτεκτονικές
- Μορφές περιγραφών
- Μοντελοποίηση-Προσομοίωση

Η ΓΛΩΣΣΑ VHDL

- Οντότητες-Αρχιτεκτονικές
- Μορφές περιγραφών
- Μοντελοποίηση-Προσομοίωση

ΟΝΤΟΤΗΤΕΣ-ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ

- Οντότητες: Περιγράφουν τα στοιχεία Ε/Ε μίας συνάρτησης
- Αρχιτεκτονικές: Περιγράφουν τη συμπεριφορά της οντότητας

ΟΝΤΟΤΗΤΕΣ

- Τα σήματα είναι τύπου
- in (είσοδος)
- out (έξοδος)
- inout (είσοδος και έξοδος)

ΠΑΡΑΔΕΙΓΜΑ ΟΝΤΟΤΗΤΑΣ

- Πλήρης αθροιστής

```
1. entity full_adder is port (  
2.     X,Y:in bit;  
3.     C_IN:in bit;  
4.     SUM:out bit;  
5.     signal f:  in bit;  
6.     C_OUT:out bit);  
7. end full_adder;
```


ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ

- Περιγραφές ροής δεδομένων
- Αλγοριθμικές περιγραφές
- Δομικές περιγραφές

ΠΕΡΙΓΡΑΦΕΣ ΡΟΗΣ ΔΕΔΟΜΕΝΩΝ

- Γράφουμε απευθείας τη σχέση ανάμεσα στις εισόδους και τις εξόδους

```
1.  -- Full Adder Implementation
2.  -- Dataflow Description
3.  entity full_adder is
4.  port (
5.      x,y:in bit;
6.      C_in:in bit;
7.      sum:out bit;
8.      C_out:out bit);
9.  end full_adder;

10. architecture data_flow of full_adder is
11.  signal s1,s2,s3,s4:bit;
```

ΠΕΡΙΓΡΑΦΕΣ ΡΟΗΣ ΔΕΔΟΜΕΝΩΝ

- Οι γραμμές 14-17 περιγράφουν ακριβώς τις σχέσεις ανάμεσα στις εισόδους και εξόδους του αθροιστή

```
12. begin
13.     s1<=x xor y;
14.     sum <=s1 xor c_in;
15.     s2<=x and y;
16.     s3<= x and C_in;
17.     s4<= y and C_in;
18.     C_out<= s2 or s3 or s4;
19. end;
```

ΑΛΓΟΡΙΘΜΙΚΕΣ ΠΕΡΙΓΡΑΦΕΣ

- Χρησιμοποιούμε αλγόριθμο τον οποίο εισάγουμε σε μία δομή που λέγεται process.
- Οι αλγόριθμοι μπορούν να περιέχουν τις συνηθισμένες προτάσεις βρόχων, υποθέσεων κλπ.

ΑΛΓΟΡΙΘΜΙΚΕΣ ΠΕΡΙΓΡΑΦΕΣ

- Για τον πλήρη αθροιστή, ο αλγόριθμος είναι ο εξής:
- Η έξοδος αθροίσματος είναι 1 αν στις εισόδους υπάρχει περικόπτο πλήθος μονάδων, αλλιώς είναι 0
- Το κρατούμενο εξόδου είναι 1 αν στις εισόδους υπάρχουν περισσότερες από 1 μονάδες.

ΑΛΓΟΡΙΘΜΙΚΕΣ ΠΕΡΙΓΡΑΦΕΣ

```
1.  -- Full Adder Implementation
2.  -- Algorithmic Description
3.  entity full_adder is
4.  port (
5.      x,y:in bit;
6.      C_in:in bit;
7.      sum:out bit;
8.      C_out:out bit);
9.  end full_adder;

10. architecture algorithmic of full_adder is
11. begin
12. process (x,y,C_in)
13. variable s: bit_vector (1 to 3):=x & y & C_in;
14. variable num: integer range 0 to 3:=0;

15. begin
16.     for i in 1 to 3 loop
17.         if s(i)='1' then
18.             num:=num+1;
19.         end if;
20.     end loop;

21.     case num is
22.         when 0=> C_out <='0'; sum <='0';
23.         when 1=> C_out <='0'; sum <='1';
24.         when 2=> C_out <='1'; sum <='0';
25.         when 3=> C_out <='1'; sum <='1';
26.     end case;
```

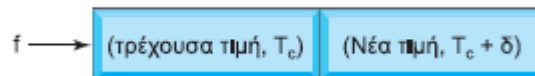
Οι γραμμές 15-26 περιγράφουν ακριβώς τις τον αλγόριθμο υλοποίησης του πλήρους αθροιστή

ΔΟΜΙΚΕΣ ΠΕΡΙΓΡΑΦΕΣ

- Ορίζουμε με κώδικα τα επιμέρους στοιχεία της υλοποίησής μας (στο παράδειγμα του πλήρους αθροιστή τις πύλες)
- Χρησιμοποιούμε τα στοιχεία ως «δομικά υλικά» της σχεδίασής μας
- Τα στοιχεία ορίζονται ως components στην VHDL
- Η χρήση τους γίνεται με προτάσεις αντιστοίχισης θύρας (port map)
- Το παράδειγμα δομικής περιγραφής του πλήρους αθροιστή δίνεται στη σελίδα 192 του βιβλίου «Ψηφιακά Συστήματα-Μοντελοποίηση και Προσομοίωση με τη Γλώσσα VHDL»

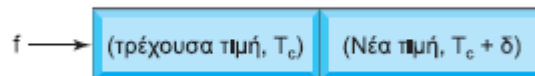
ΠΡΟΣΟΜΟΙΩΣΗ ΜΕ ΤΗΝ VHDL

- Ενημέρωση κυματομορφών και χρόνου προσομοίωσης
- Οδηγοί σημάτων



ΠΡΟΣΟΜΟΙΩΣΗ ΜΕ ΤΗΝ VHDL (2)

- Ενημέρωση κυματομορφών και χρόνου προσομοίωσης
- Οδηγοί σημάτων



ΠΡΟΣΟΜΟΙΩΣΗ ΜΕ ΤΗΝ VHDL(3)

- Παράδειγμα: Έστω ο κώδικας:

```
1.  entity not_xor is port (  
2.      a,b:in bit; x:out bit);  
3.  end not_xor;  
  
4.  architecture behave of not_xor is  
5.  begin  
6.      p0:process (a,b)  
7.      begin  
8.          x<='0';  
9.          if (a=b) then  
10.             x<='1';  
11.          end if;  
12.      end process;  
13.  end;
```

ΠΡΟΣΟΜΟΙΩΣΗ ΜΕ ΤΗΝ VHDL(4)

- Τυχαίες μεταβάσεις εισόδων

Χρόνος	Σήμα εισόδου	Τιμή
0ns	<i>a, b</i>	0,0
200ns	<i>b</i>	1
250ns	<i>a</i>	1
400ns	<i>b</i>	0
500ns	<i>a</i>	0
600ns	<i>b</i>	1
750ns	<i>a</i>	1
800ns	<i>b</i>	0
1000ns	<i>b</i>	1
1100ns	<i>b</i>	0
1150ns	<i>a</i>	0
1200ns	<i>b</i>	1

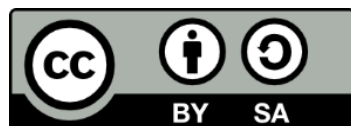
ΠΡΟΣΟΜΟΙΩΣΗ ΜΕ ΤΗΝ VHDL(5)

- Ενημέρωση οδηγών (για ανάλυση, ανατρέξτε στη σελίδα 361 του βιβλίου: «Ψηφιακά Συστήματα-Μοντελοποίηση και Προσομοίωση με τη Γλώσσα VHDL»)
- Οι οδηγοί θα είναι όπως δείχνει το παρακάτω σχήμα

ΠΡΟΣΟΜΟΙΩΣΗ ΜΕ ΤΗΝ VHDL(6)



Τέλος Ενότητας



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης

