

Μοντελοποίηση Λογικών Κυκλωμάτων

Ενότητα 6: Προγραμματιζόμενη Λογική

Σταύρος Σουραβλάς

Τμήμα Εφαρμοσμένης Πληροφορικής



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Άδειες Χρήσης

- Το παρόν εκπαιδευτικό υλικό υπόκειται σε άδειες χρήσης Creative Commons.
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Μακεδονίας» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΕΠΙΧΕΙΡΗΣΙΑΚΟ ΠΡΟΓΡΑΜΜΑ
ΕΚΠΑΙΔΕΥΣΗ ΚΑΙ ΔΙΑ ΒΙΟΥ ΜΑΘΗΣΗ
επένδυση στην κοινωνία της γνώσης
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΣΠΑ
2007-2013
πρόγραμμα για την ανάπτυξη
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ

ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΗ ΛΟΓΙΚΗ

- Τα κυκλώματα που περιλαμβάνουν ένα σύνολο προγραμματιζόμενων στοιχείων μεταγωγής ονομάζονται προγραμματιζόμενες συσκευές

ΒΑΣΙΚΕΣ ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΕΣ ΣΥΣΚΕΥΕΣ

- PLA
- PAL
- CPLD
- FPGA

ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΟΣ ΛΟΓΙΚΟΣ ΠΙΝΑΚΑΣ PLA

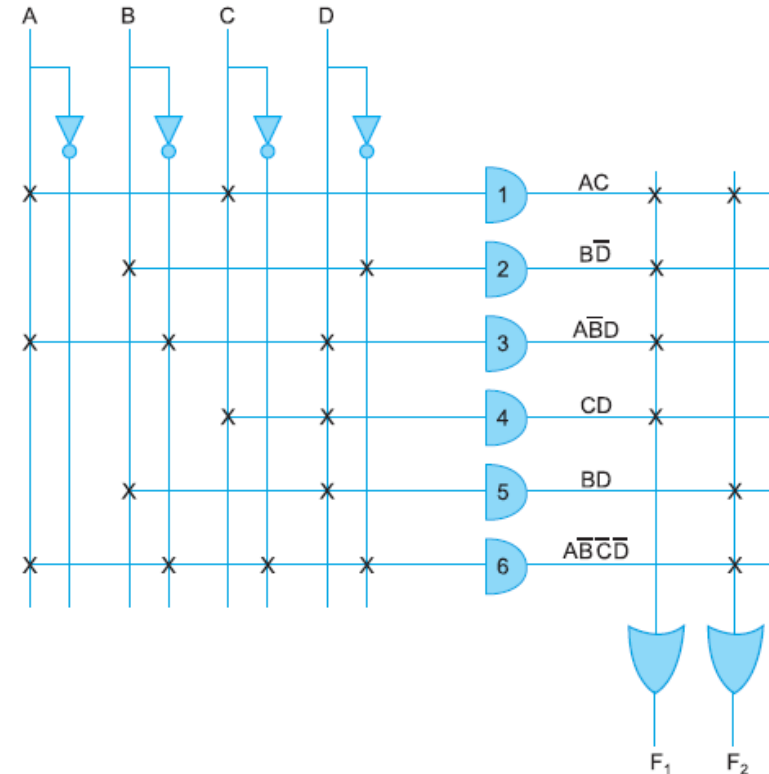
- Προγραμματιζόμενες παρατάξεις πυλών ΚΑΙ και Ή
- Απενεργοποιούνται οι ανεπιθύμητες συνδέσεις καίγοντας ασφάλειες (προγραμματισμός)
- Στα παραδείγματα δείχνουμε τις επιθυμητές συνδέσεις ΜΟΝΟΝ

ΠΑΡΑΔΕΙΓΜΑ PLA

$$F_1 = AC + B\bar{D} + A\bar{B}D + CD$$

$$F_2 = AC + BD + A\bar{B}\bar{C}\bar{D}$$

Γινόμενα	Είσοδοι				Έξοδοι	
	A	B	C	D	F ₁	F ₂
AC	1	-	1	-	1	1
B \bar{D}	-	1	-	0	1	-
A $\bar{B}D$	1	0	-	1	1	-
CD	-	-	1	1	1	-
BD	-	1	-	1	-	1
A $\bar{B}\bar{C}\bar{D}$	1	0	0	0	-	1



Ο πίνακας προγραμματισμού δείχνει τις επιθυμητές συνδέσεις στις 2 παρατάξεις πυλών

ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΟΣ ΠΙΝΑΚΑΣ ΛΟΓΙΚΗΣ ΡΑΛ

- Προγραμματιζόμενες παρατάξεις πυλών ΚΑΙ και σταθερές παρατάξεις πυλών Ή
- Απενεργοποιούνται οι ανεπιθύμητες συνδέσεις καίγοντας ασφάλειες (προγραμματισμός)
- Στα παραδείγματα δείχνουμε τις επιθυμητές συνδέσεις ΜΟΝΟΝ

ΠΑΡΑΔΕΙΓΜΑ ΡΑΙ

Έστω οι λογικές συναρτήσεις F_2, F_1 , και F_0 :

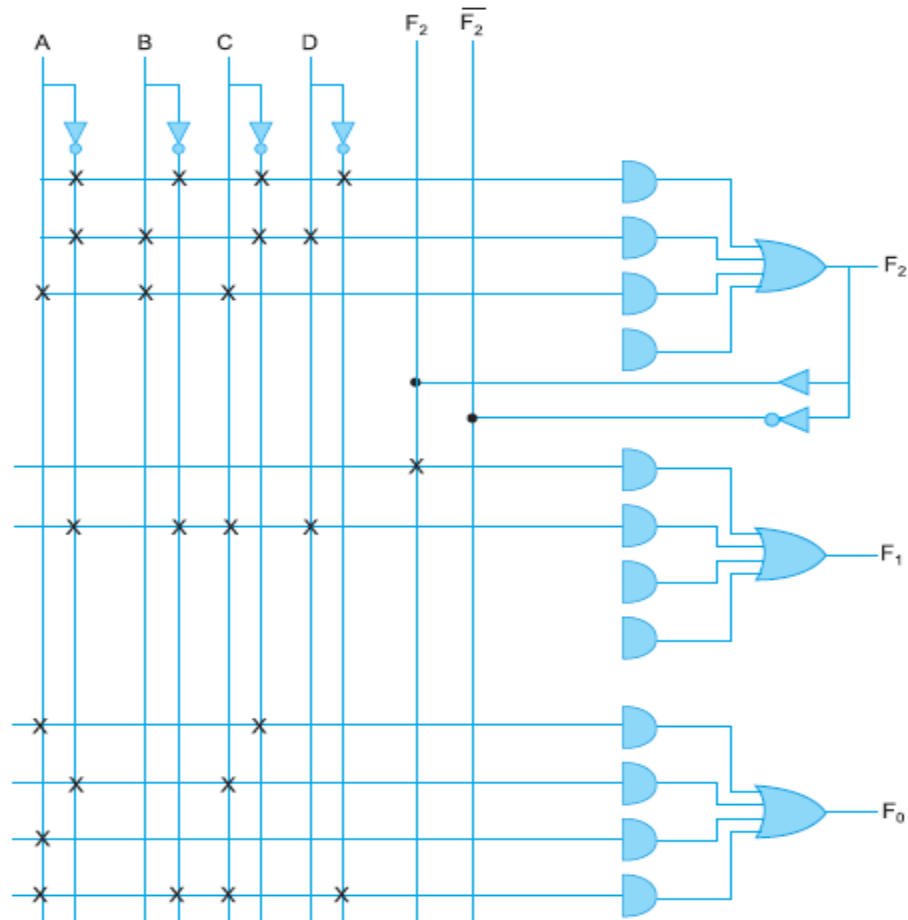
$$F_2 = \Sigma(A, B, C, D) = \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} B \overline{C} D + A B C$$

$$F_1 = \Sigma(A, B, C, D) = \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} B \overline{C} D + A B C + \overline{A} \overline{B} C D$$

$$F_0 = \Sigma(A, B, C, D) = A \overline{C} + \overline{A} C + A B C D + A \overline{B} C \overline{D}$$

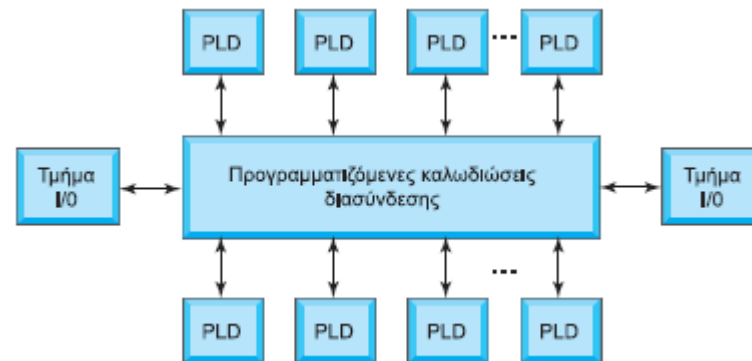
Γινόμενα	Σήματα εισόδου				F_2	Σήματα εξόδου
	A	B	C	D		
$\overline{A} \overline{B} \overline{C} \overline{D}$	0	0	0	0		
$\overline{A} B \overline{C} D$	0	1	0	1		$F_2 = \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} B \overline{C} D + A B C$
$A B C$	1	1	1	-		
$\overline{A} \overline{B} C D$	0	0	1	1	1	$F_1 = F_2 + \overline{A} \overline{B} C D$
$A \overline{C}$	1	-	0	-		
$\overline{A} C$	0	-	1	-		$F_0 = A \overline{C} + \overline{A} C + A B C D +$
$A B C D$	1	1	1	1		$A \overline{B} C \overline{D}$
$A \overline{B} C \overline{D}$	1	0	1	0		

ΠΑΡΑΔΕΙΓΜΑ PAL(2)



ΠΟΛΥΠΛΟΚΗ ΣΥΣΚΕΥΗ ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΗΣ ΛΟΓΙΚΗΣ

- Σύνολο από μικρές PLDs που συνδέονται με προγραμματιζόμενες καλωδιώσεις



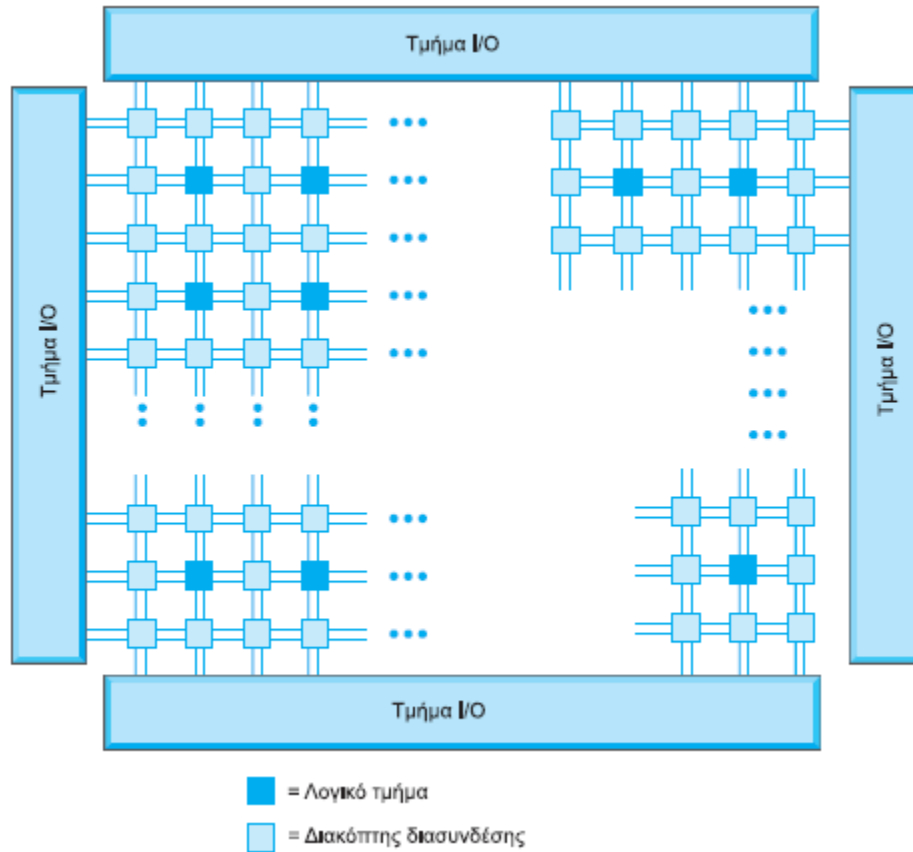
ΕΠΙ ΤΟΙΟΥΤΟΥ

ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΟΣ ΠΙΝΑΚΑΣ

ΠΥΛΩΝ (FPGA)

- Υλοποίηση μεγάλης κλίμακας
- Οργάνωση σε λογικά τμήματα τμήματα Ε/Ε και διακόπτες διασύνδεσης

FPGA (2)



ΛΟΓΙΚΑ ΤΜΗΜΑΤΑ

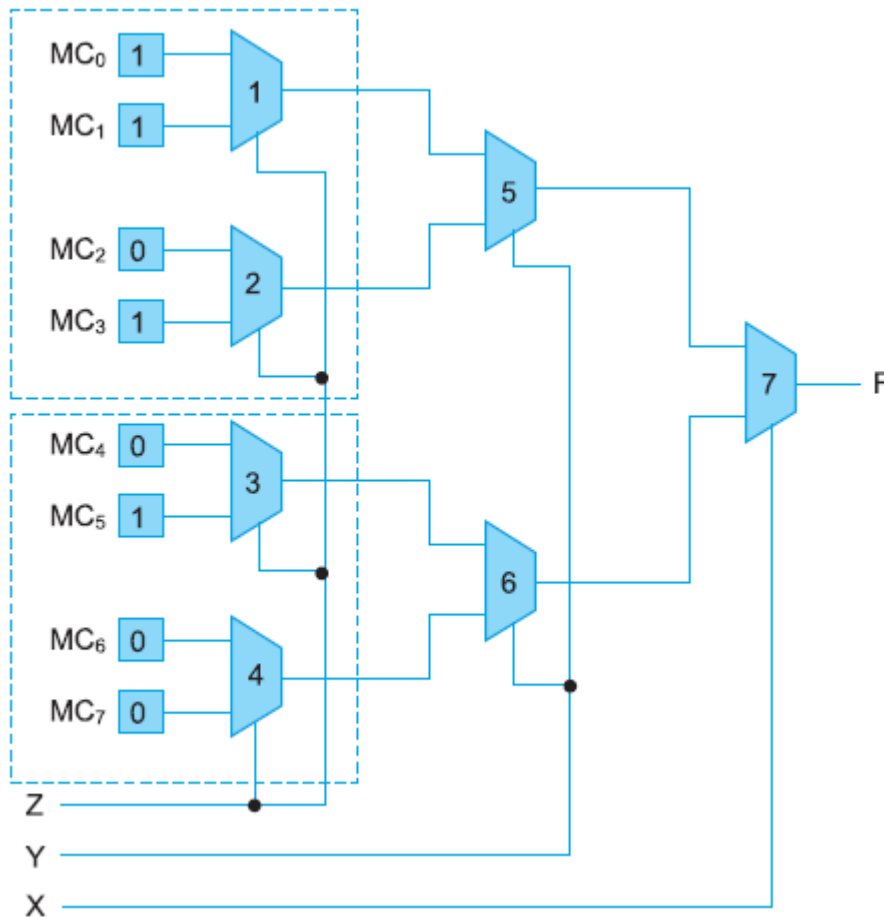
- Υλοποιούνται με πίνακες αναφοράς
- Πίνακας αναφοράς = παράταξη πολυπλεκτών

ΠΙΝΑΚΕΣ ΑΝΑΦΟΡΑΣ-ΠΑΡΑΔΕΙΓΜΑ

$$F(x, y, z) = \Sigma(0, 1, 3, 5)$$

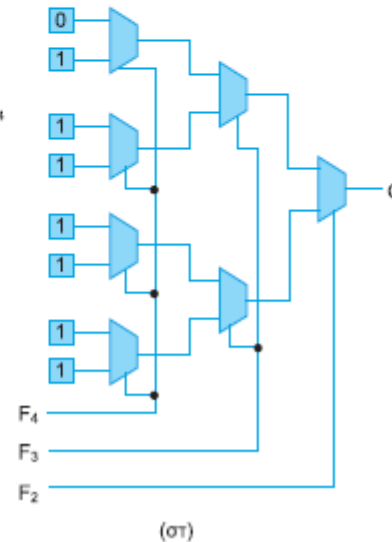
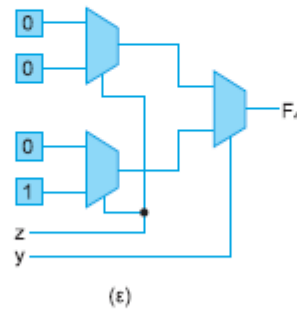
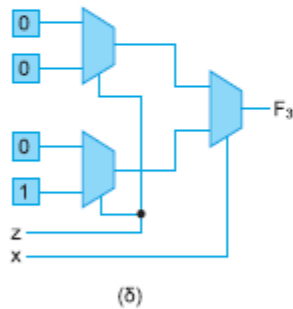
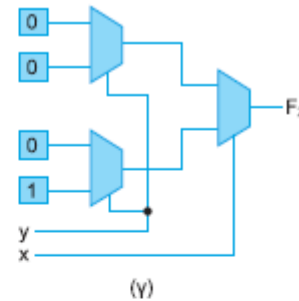
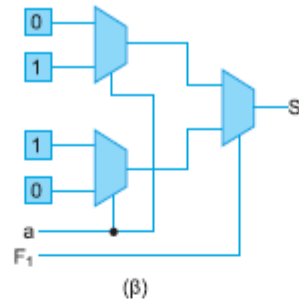
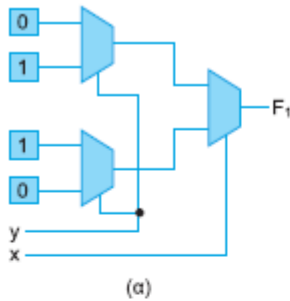
Σήματα εισόδου			Σήματα εξόδου
x	y	z	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

ΠΙΝΑΚΕΣ ΑΝΑΦΟΡΑΣ-ΠΑΡΑΔΕΙΓΜΑ



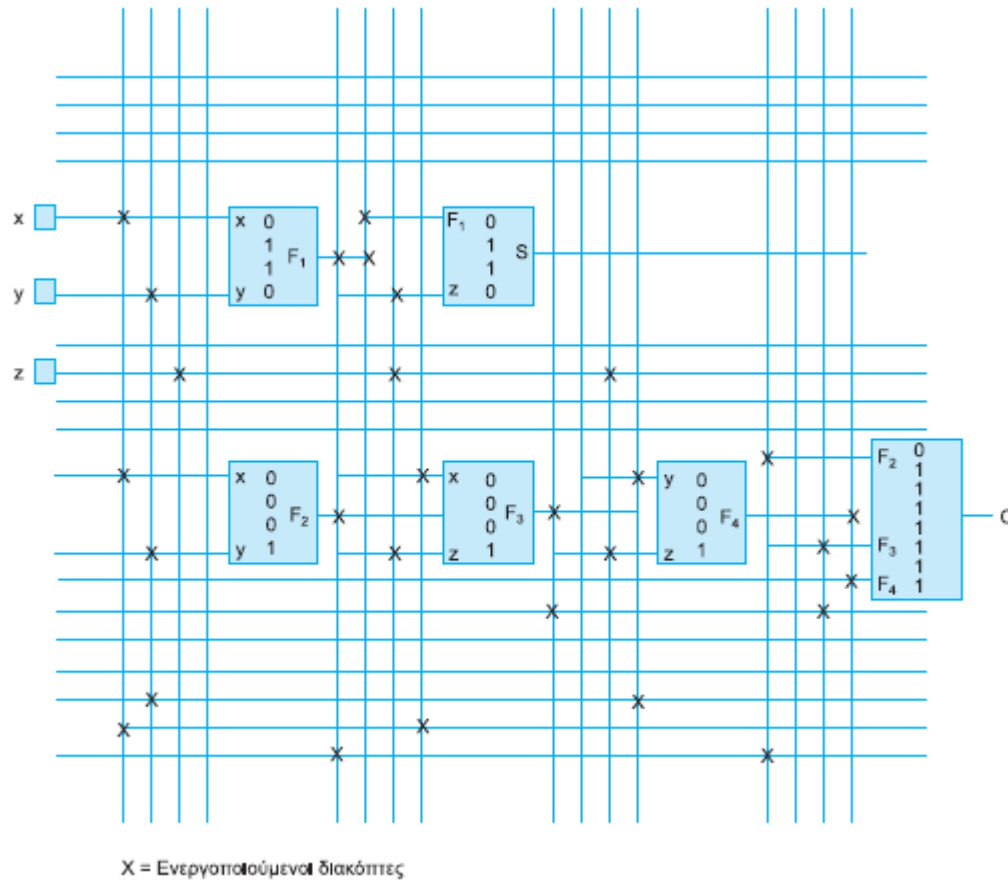
Η z επιλέγει ανάμεσα στο άνω και στο κάτω επίπεδο πολυπλεκτών, η y επιλέγει μεταξύ των πολυπλεκτών ενός επιπέδου και η x επιλέγει μεταξύ των τιμών κάθε πολυπλέκτη

ΠΑΡΑΔΕΙΓΜΑ ΠΛΗΡΟΥΣ ΑΘΡΟΙΣΤΗ



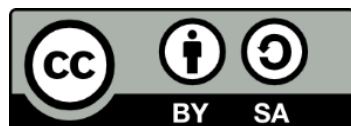
Τα LUT που υλοποιούν τις απαραίτητες λογικές συναρτήσεις δίνονται στα σχήματα (α)-(στ)

ΠΑΡΑΔΕΙΓΜΑ ΠΛΗΡΟΥΣ ΑΘΡΟΙΣΤΗ (2)



Διασύνδεση
των λογικών
μονάδων
πάνω στο
FPGA για
τον
αθροιστή

Τέλος Ενότητας



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΣΠΑ
2007-2013
Πρόγραμμα για την ανάπτυξη
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ