

Άσκηση 1

Να σχεδιάσετε έναν ανιχνευτή ακολουθίας τριών μονάδων με D, JK, και T Flip Flop

Λύση

Από το βιβλίο «Ψηφιακά Συστήματα- Μοντελοποίηση και Προσομοίωση με τη Γλώσσα VHDL», των Σ. Σουραβλά και Μ. Ρουμελιώτη, σελ. 47.

Άσκηση 2

Να υλοποιήσετε έναν πλήρη αθροιστή χρησιμοποιώντας ROM.

Λύση

Από το βιβλίο «Ψηφιακά Συστήματα- Μοντελοποίηση και Προσομοίωση με τη Γλώσσα VHDL», των Σ. Σουραβλά και Μ. Ρουμελιώτη, σελ. 145.

Άσκηση 3

Να υλοποιήσετε έναν πλήρη αθροιστή χρησιμοποιώντας ένα FPGA με 5 πίνακες LUT 2 εισόδων και έναν πίνακα LUT τριών εισόδων.

Λύση

Από το βιβλίο «Ψηφιακά Συστήματα- Μοντελοποίηση και Προσομοίωση με τη Γλώσσα VHDL», των Σ. Σουραβλά και Μ. Ρουμελιώτη, σελ. 160.

Άσκηση 4

Δίνεται ο παρακάτω κώδικας VHDL:

1. **entity** a_circ **is** port (
2. x:**inout** bit; a:**out** bit);
3. **end** a_circ;
4. **architecture** behave of a_circ **is**
5. **begin**
6. P0:**process**(x,a)
7. **variable** f1:=bit='0';
8. **variable** f2:=bit='1';
9. **variable** f3,f4:bi;
10. **begin**
11. x<=f2 **xor** f1 **after** 5 ns;
12. f3:=f1 **xnor** f2;
13. f4:=f3 **or** x;
14. a<= f3 **and** f4 **after** 10 ns;

15. **end;**

1. Σε ποιο χρόνο θα σταματήσει η προσομοίωση;
2. Ποιες θα είναι οι τελικές τιμές **όλων των σημάτων**;

Λύση

Από το βιβλίο «Ψηφιακά Συστήματα- Μοντελοποίηση και Προσομοίωση με τη Γλώσσα VHDL», των Σ. Σουραβλά και Μ. Ρουμελιώτη, σελ. 330.